

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-134245

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 11-319007

(71)Applicant : SONY CORP

(22)Date of filing : 10.11.1999

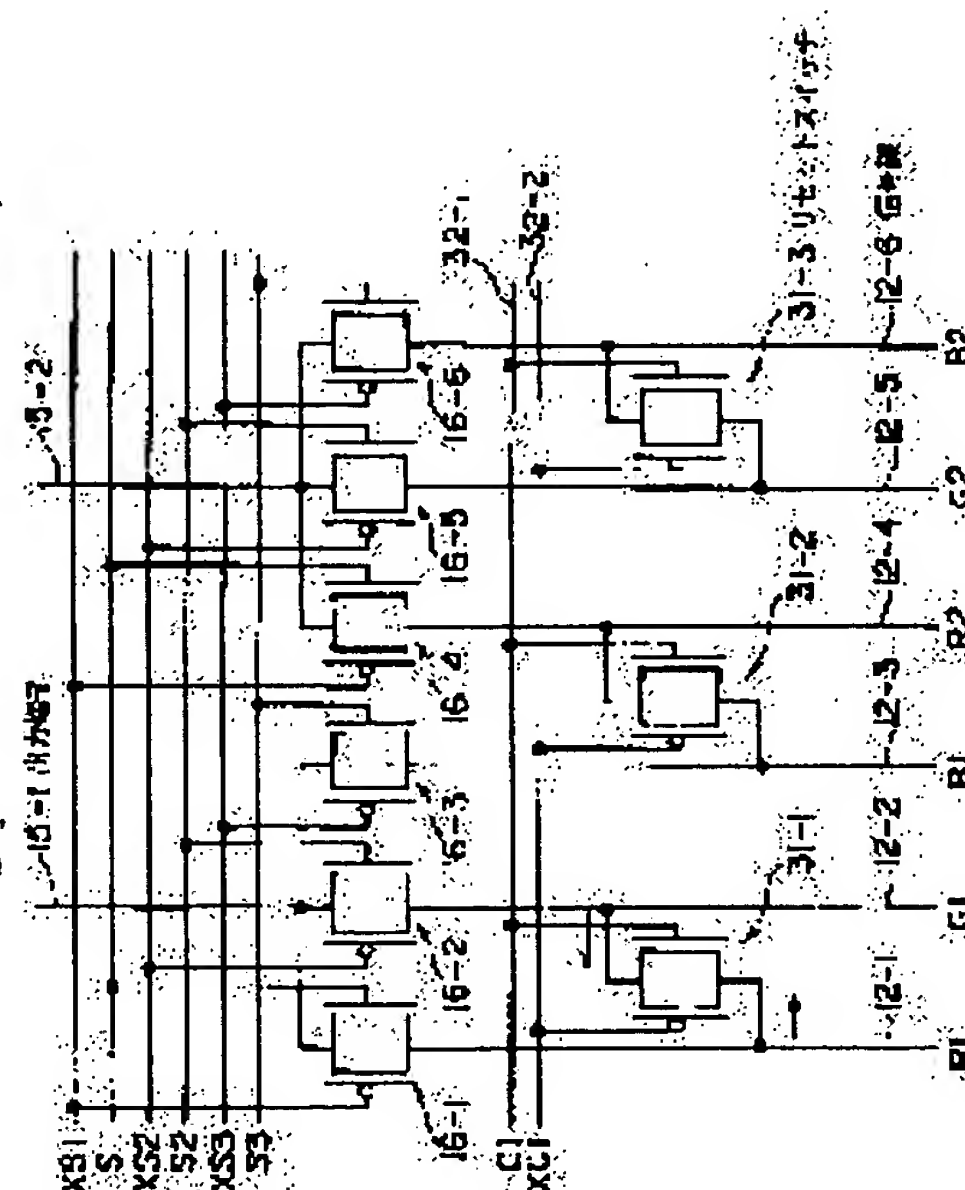
(72)Inventor : INO MASUMITSU
GOTO HISASHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device in which the power consumption due to inverting drive of signal lines is reduced and the generation of a longitudinal cross talk is also reduced.

SOLUTION: The liquid crystal display device is provided with a display region in which gate lines having plural rows and signal lines 12-1, 12-2, etc., having plural columns are arranged in a matrix manner on a substrate and pixels are arranged at each intersection point and a horizontal driving circuit that outputs inverse polarity pixel signals to adjacent signal lines 12-1, 12-2, etc., from output terminals 15-1, 15-2, etc., and inverts the polarity of the pixel signals to be outputted to the signal lines 12-1, 12-2, etc., every one horizontal scanning period. Moreover, switches having CMOS constitution are provided on the substrate by using thin film transistors employing poly crystalline silicon as reset switches 31-1, 31-2, etc., to short-circuit the signal lines 12-1, 12-2, etc., to which inverse polarity pixel signals are applied, in the blanking period of one horizontal scanning period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-134245

(P2001-134245A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 B 5 C 0 8 0

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平11-319007

(22) 出願日 平成11年11月10日 (1999.11.10)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 猪野 益充

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 後藤 尚志

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

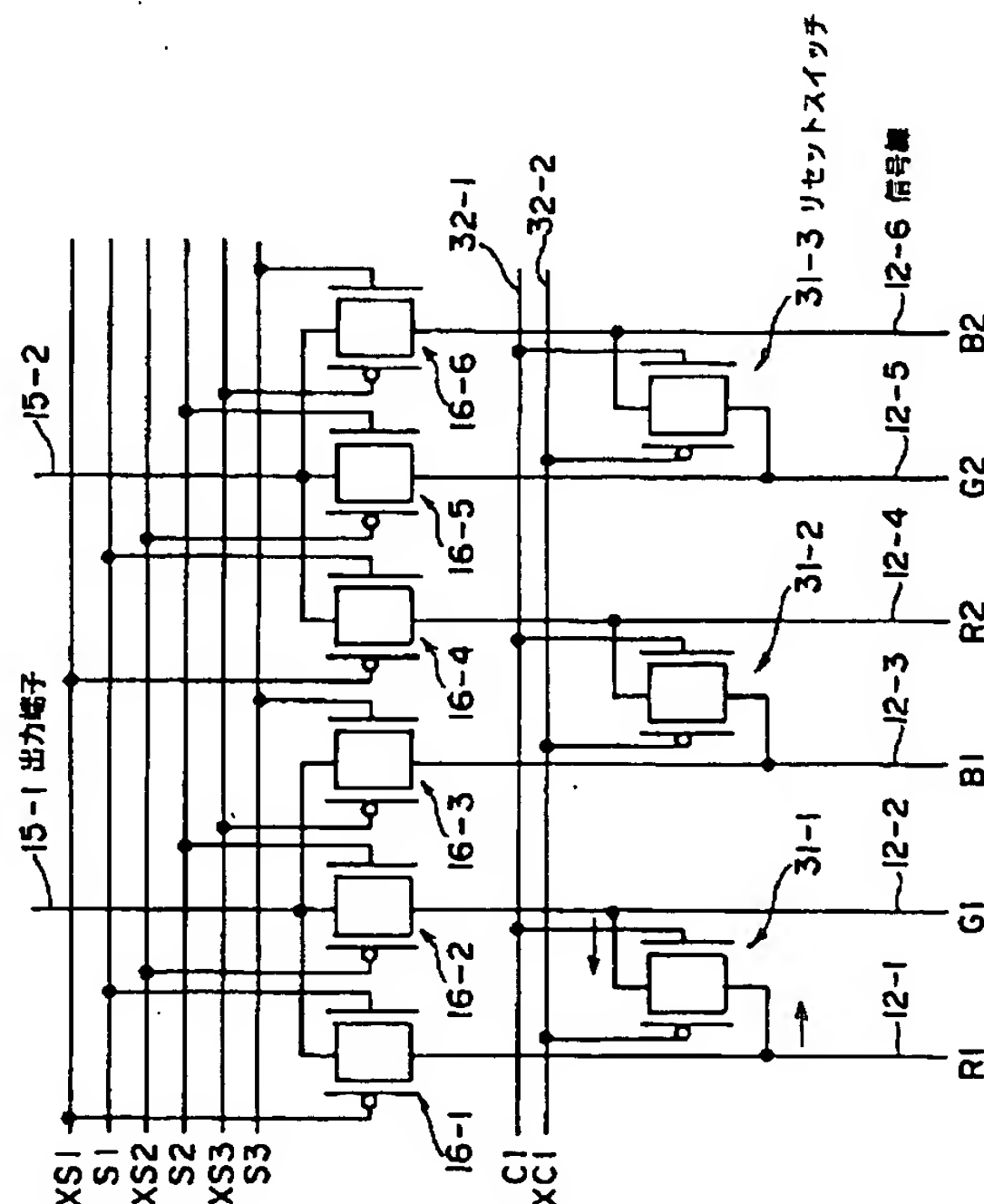
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 信号線の反転駆動に起因する消費電力を低減するとともに、縦クロストークの発生の低減を可能にした液晶表示装置を提供する。

【解決手段】 基板上に複数行のゲート線と複数列の信号線12-1, 12-2, …とをマトリックス状に配線し、これらの各交点に画素を配置してなる表示領域と、隣合う信号線12-1, 12-2, …に逆極性の画素信号を各出力端子15-1, 15-2, …から出力すると共に、各信号線12-1, 12-2, …に出力する画素信号の極性を1水平走査期間毎に反転させる水平駆動回路とを備えた液晶表示装置において、逆極性の画素信号が印加された信号線12-1, 12-2, …を1水平走査期間のブランキング期間中にショートさせるためのリセットスイッチ31-1, 31-2, …として、多結晶シリコンを用いた薄膜トランジスタからなるCMOS構成のスイッチを基板上に設けた。



【特許請求の範囲】

【請求項 1】 基板上に複数行のゲート線と複数列の信号線とをマトリックス状に配線し、これらの各交点に画素を配置してなる表示領域と、

前記信号線のうち隣り合う信号線に逆極性の画素信号を出力すると共に、これらの信号線に出力する画素信号の極性を 1 水平走査期間毎に反転させる水平駆動回路とを備えた液晶表示装置において、

前記信号線のうち逆極性の画素信号が印加された信号線を 1 水平走査期間のブランキング期間中にショートさせるためのリセットスイッチとして、多結晶シリコンを用いた薄膜トランジスタからなる CMOS 構成のスイッチを前記基板上に設けたことを特徴とする液晶表示装置。

【請求項 2】 前記信号線のうちの複数本を 1 ブロックとし、前記水平駆動回路から 1 水平走査期間に出力される時系列の画素信号を当該 1 ブロック内の各信号線に順次供給するセレクトスイッチを備えたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記リセットスイッチは、前記水平駆動回路の出力端子側に設けたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 前記リセットスイッチは、前記信号線のうちの隣り合う信号線をショートさせることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】 前記リセットスイッチは、前記信号線のうちの同色の画素信号が印加される信号線をショートさせることを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関し、特に画素の駆動法としてドット反転駆動法を採るアクティブマトリックス型の液晶表示装置に関する。

【0002】

【従来の技術】図 8 は、アクティブマトリクス型の液晶表示装置の一例を示す構成図である。この表示装置の表示領域は、ここでの図示は省略した透明基板上に複数行分のゲート線 11-1, 11-2, …と複数列分の信号線 12-1, 12-2, …とが配線され、これらの各交差部に画素 20 が配置され、この透明基板の裏面側にバックライトが配置された構造になっている。各画素 20 は薄膜トランジスタ (thin film transistor、以下 TFT と記す) 21、ホールドコンデンサ 22 及び液晶セル 23 を備え、各 TFT 21 のゲート電極がゲート線 11-1, 11-2, …に接続され、ソース電極が信号線 12-1, 12-2, …に接続されている。また、TFT 21 のドレイン電極に、ホールドコンデンサ 22 及び液晶セル 23 が並列に接続され、TFT 21 が ON すると、液晶セル 23 における光の透過率が変化すると共にホールドコンデンサ 22 が充電され、TFT 21 が OFF してもホールドコンデンサ 22 への充電電圧によって液晶セル 23 にお

ける光の透過率が維持されるように構成されている。また、これらのホールドコンデンサ 22 及び液晶セル 23 は共通の Cs ライン 24 を介してコモン電極 25 に接続されており、コモン電極 25 には、所定の直流電圧がコモン電圧 V_{com} として与えられるようになっている。

【0003】ゲート線 11-1, 11-2, …の各一端は、垂直駆動回路 26 の各行の出力端に接続されている。この垂直駆動回路 26 は、各画素 20 を行単位で選択することによって垂直走査を行なうためのものである。

【0004】一方、信号線 12-1, 12-2, …の各一端は、ここでは図示を省略した水平駆動回路の各列の出力端 15-1, 15-2, … (ここでは出力端 15-1 のみを図示) に接続されている。この水平駆動回路は、各画素 20 に対して階調に応じた画素信号を順次供給するためのものである。

【0005】また、互いに隣合う複数本 (例えば 3 本) の信号線 12-1, 12-2, 12-3 を 1 ブロックとし、この 1 ブロック内の各信号線 12-1, 12-2, 12-3 に時系列で信号を与える、いわゆる時分割駆動を行なう表示装置の場合には、水平駆動回路の各出力端 15-1, 15-2, …と各信号線 12-1, 12-2, …との間に、各信号線 12-1, 12-2, …に与える信号電圧を時分割でサンプリングするセレクトスイッチ 16 を設けている。また、各セレクトスイッチ 16-1, 16-2, …につき、2 本の選択信号線 (17-1, 17-2), (17-3, 17-4) …が、ゲート線 11-1, 11-2, …と平行に配線されており、これらの選択信号線 17-1, 17-2, …には、各ブロックの 3 個のセレクトスイッチ 16-1, 16-2, 16-3 を順次 ON させるための選択信号 $S_1 \sim S_3$ 及び選択信号 $XS_1 \sim XS_3$ が外部回路 (図示省略) から与えられる。ただし、選択信号 $S_1 \sim S_3$ 及び選択信号 $XS_1 \sim XS_3$ は、反転信号であることとする。

【0006】このように構成されたアクティブマトリクス型の液晶表示装置では、上述したような時分割駆動を行いなおかつ、隣接する画素 20 にコモン電位 V_{com} を中心とした逆極性 (+, -) の画素信号を印加すると共に、1 水平走査期間 (1H) 毎にこれを反転させる、いわゆるドット反転駆動が行われる。このようなドット反転駆動を行なうことによって、例えば、ゲート線 11-1, 11-2, …と信号線 12-1, 12-2, …とのクロス容量からの飛び込み電圧がキャンセルされ、各画素に画素信号が安定して入力されるようになり、液晶表示時のフリッカが軽減される等、画質の向上を図ることができる。また、各液晶セル 23 において液晶分子の分極による配向の劣化を防止することができる。

【0007】

【発明が解決しようとする課題】ところが、このようなドット反転駆動を行なう液晶表示装置では、コモン電位 V_{com} に対して最大 $\pm V_{max}$ の電位の画素信号を各画素に対して印加する場合、反転駆動を行なう毎に最大

で $2 \times V_{max}$ の電位をある時間内に各信号線において遷移させる必要がある。これは、液晶表示装置（特には水平駆動回路）の消費電力を増大させる原因になっている。

【0008】また、図9に示すように、1H期間毎に信号線電位（各信号線の電位）が反転するため、信号線からの画素電極の飛び込み電位によって画素電位が変動する。この際、縦方向の画素電位が変動するため、縦クロストークが発生する。画素電位の変動 ΔV は、図10に示すように、信号線12-1, 12-2, …と画素20と間の寄生容量27と信号電荷（ここでは $2 \times V_{max}$ ）の大きさに比例し、 $\Delta V = (2 \times V_{max}) \times (\text{信号線と画素との間の寄生容量} 27) / (\text{ホールドコンデンサ} 22 \text{の容量} + \text{液晶セル} 23 \text{の容量})$ で表され、これが1クロストークとして見えることになる。

【0009】本発明は、このような課題を解決するために成されたものであり、信号線の反転駆動に起因する消費電力を低減するとともに、縦クロストークの発生の低減を可能にした液晶表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】このような目的を達成するための本発明は、基板上に複数行のゲート線と複数列の信号線とをマトリックス状に配線し、これらの各交点に画素を配置してなる表示領域と、これらの信号線のうち隣合う信号線に逆極性の画素信号を出力すると共に、各信号線に出力する画素信号の極性を1水平走査期間毎に反転させる水平駆動回路とを備えた液晶表示装置において、逆極性の画素信号が印加された信号線を1水平走査期間のブランキング期間中にショートさせるためのリセットスイッチを基板上に設けた構成となっている。このリセットスイッチは、多結晶シリコンを用いた薄膜トランジスタで構成されたCMOS構成のスイッチであることとする。

【0011】このような構成の液晶表示装置では、逆極性の画素信号が印加された信号線を1水平走査期間のブランキング期間中にショートさせるスイッチを設けたことから、このブランキング期間中には、各信号線の電位が中間電位付近にまで回復する。このため、次の1水平走査期間では、中間電位付近にまで回復した信号線に対して、逆極性の画素信号を印加すれば良いことになり、信号線の電位を逆極性にするための画素信号の電位が約半減されることになる。ここで特に、信号線をショートさせるためのリセットスイッチを、電流駆動能力が高い多結晶シリコンを用いた薄膜トランジスタからなるCMOS構成にしたことによって、ブランキング期間中に逆極性の画素信号が印加された信号線を十分にショートさせることが可能になる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面

に基づいて詳細に説明する。尚、従来の技術において図8を用いて説明したと同様の構成要素には同一の符号を付し、重複する説明は省略する。

【0013】（第1実施形態）図1は、本発明の第1実施形態に係るアクティブマトリックス型の液晶表示装置の要部配線図の一例であり、図2はこの液晶表示装置のレイアウト図の一例である。これらの図に示す液晶表示装置は、従来の技術で説明した液晶表示装置と同様に構成された表示領域10、垂直駆動回路26、水平駆動回路29（以上図2のみに図示）及びセレクトスイッチ16-1, 16-2…（図1のみに図示）を備えている。

【0014】そして、表示領域10、垂直駆動回路26及びセレクトスイッチ16-1, 16-2…は、同一の基板（石英基板のような透明基板）1上に設けられ、このうちセレクトスイッチ16-1, 16-2…は、表示領域10と水平駆動回路29との間の回路領域30に配置されている。一方、水平駆動回路29は、基板1の周囲に外部回路（例えばTABドライバIC）として設けられている。

【0015】ここで、表示領域10には、複数行のゲート線（図示省略）と複数列の信号線12-1, 12-2, …とがマトリックス状に配線され、これらの各交点に画素（図示省略）が配置されている。この表示領域10は、例えばSXGA表示規格であり、赤（R）、緑（G）、青（B）の各色毎に、1280本の信号線12-1, 12-2…と1024本のゲート線とを備えている。また、ここでの図示は省略したが、各画素20は、ゲート電極がゲート線に接続されソース電極が信号線12-1, 12-2, …に接続されたTFT、このTFTのドレイン電極に並列に接続されたホールドコンデンサ及び液晶セルを備えている。ホールドコンデンサ及び液晶セルはコモン電極に接続されており、所定の直流電圧がコモン電圧 V_{com} として与えられるのである。

【0016】また、セレクトスイッチ16-1, 16-2…は、互いに隣合う複数本（例えば3本）の信号線（12-1, 12-2, 12-3）, （12-4, 12-5, 12-6）…を1ブロックとし、この1ブロック内の各信号線（12-1, 12-2, 12-3）, （12-4, 12-5, 12-6）…に時系列で信号を与える、いわゆる時分割駆動を行なうために設けられている。ただし、各ブロック内の3本の信号線（12-1, 12-2, 12-3）, （12-4, 12-5, 12-6）, …は、それぞれ赤R1, R2, …、緑G1, G2, …、青B1, B2, …に対応する信号線であることとする。

【0017】このように3時分割された各信号線（12-1, 12-2, 12-3）, （12-4, 12-5, 12-6）, …に接続された各セレクトスイッチ16-1, 16-2…は、1H期間内において順次ONし、各ブロックの各信号線12-1, 12-2…に対して、1H期間内において順次信号電荷を印加する。

【0018】さらに、ドライバICとして設けられた水平駆動回路29としては、いわゆるドット反転駆動方式用の水平駆動回路が用いられる。ここで、ドット反転駆動方式とは、表示領域10において隣接する画素（図示省略）にコモン電位 V_{com} に対して逆極性（+，-）の画素信号を印加すると共に、1水平走査期間（1H期間）毎にこれを反転させる駆動方式である。この水平駆動回路29は、ドット反転駆動を実現するために、各出力端15-1，15-2…の奇数、偶数毎に電位が反転する画素信号を1H期間内に3回出力し、かつ画素信号の極性を出力毎に反転させる。

【0019】以上のように、本実施形態に係る液晶表示装置においては、その駆動方式としてドット反転駆動方式を採用しており、さらに時分割駆動法を併用している。

【0020】そして特に、本実施形態に係る液晶表示装置に特徴的な構成としては、このような構成の液晶表示装置において、逆極性の画素信号が印加される信号線12-1，12-2…を1H期間内のブランキング期間中にショートさせるためのリセットスイッチ31-1，31-2…を設けたところにある。

【0021】このリセットスイッチ31-1，31-2…は、PチャンネルMOSトランジスタ（以下、P-MOSと記す）及びNチャンネルMOSトランジスタ（以下、N-MOSと記す）が互いに並列に接続されてなるC-MOS構成のトランスミッションスイッチからなり、表示領域10と水平駆動回路29との間の回路領域30、すなわち水平駆動回路29の出力端子15-1，15-2側に配置されている。

【0022】各リセットスイッチ31-1，31-2…の入力端と出力端は、逆極性の画素信号が印加される各信号線12-1，12-3，…と各信号線12-2，12-4，…のうち、隣接して配置された2本の信号線（12-1，12-2），（12-3，12-4），…に接続されている。また、2本の制御線32-1，32-2が信号線12-1，12-2…と交差する方向に沿って配線され、これらの制御線32-1，32-2に、各リセットスイッチ31-1，31-2…2つの制御入力端（すなわちN-MOS及びP-MOSのゲート）が接続されている。

【0023】これらの各制御線32-1，32-2には、1H期間のブランキング期間中に、外部の制御回路（図示省略）からリセット信号C1，CX1が与えられ、これによってこれらの各リセットスイッチ31-1，31-2…に接続された、各信号線（12-1，12-2），（12-3，12-4），…間がショートするように構成されている。

【0024】また、このリセットスイッチ31-1，31-2…を構成するP-MOS及びN-MOSは、図3に示すようなボトムゲート型のTFET（薄膜トランジスタ）40や、図4に示すようなトップゲート型のTFET

40'からなり、その半導体層に多結晶シリコンを用いている。

【0025】図3に示したボトムゲート型のTFET40は、基板1上のゲート電極41を覆う状態で、ゲート絶縁膜42を介して多結晶シリコン層43が形成され、この多結晶シリコン層43にソース／ドレイン拡散層43aが形成された構成になっている。また、図4に示したトップゲート型のTFET40'は、基板1上の多結晶シリコン層43にソース／ドレイン拡散層43aが形成され、この多結晶シリコン層43上にゲート絶縁膜42を介してゲート電極41が形成された構成になっている。

【0026】このように構成された液晶表示装置の駆動を説明する。図5は、1ブロック分のセレクトスイッチ16-1，16-2，16-3、リセットスイッチ31-1，31-2及び信号線12-1，12-2，12-3の電位を示す1H期間分のチャート図である。これらの図に示すように、1H期間内において選択されたゲート線にゲート電位が印加されている間に、同一の出力端子15-1に接続されたセレクトスイッチ16-1，16-2，16-3が順次ONとなり、各セレクトスイッチ16-1，16-2，16-3に接続された信号線12-1，12-2，12-3には、順次逆極性の画素信号 V_{sig} が印加される。そして、1H期間内におけるブランキング期間において、リセットスイッチ31-1（31-2）がONとなり、隣接して配置された信号線12-1，12-2（12-3，12-4）がショートする。この際、隣接して配置された信号線12-1，12-2（12-3，12-4）には、逆極性の画素信号 V_{sig} が印加されているため、これによって各信号線12-1，12-2，12-3の電位は、隣接して配置された信号線12-1，12-2（12-3，12-4）の電位差の中間付近の電位、すなわちコモン電位 V_{com} 付近にまで回復する。

【0027】このような液晶表示装置では、1H期間のブランキング期間中に、各信号線12-1，12-2，…の電位がコモン電位 V_{com} 付近にまで回復するため、次の1H期間では、コモン電位 V_{com} にまで回復した信号線に対して、逆極性の画素信号を印加すれば良いことになる。したがって、信号線の電位を逆極性にするための画素信号 V_{sig} の電位が約半減されることになる。この結果、水平駆動回路の消費電力を大幅に削減することが可能になる。

【0028】また、図6には、1つの画素分の各スイッチの駆動と信号線の電位及び画素電位を示す1フィールド期間分のタイミングチャート図を示した。この図に示すように、1フィールド期間の間に、各信号線12-1，12-2，…には、セレクトスイッチ16-1，16-2，…の作動によって、逆極性の画素信号が順次印加される。ところが、信号線12-1，12-2，…に印加される画像信号の極性が変わる際（つまり1H期間のブランキング期間）には、リセットスイッチ31-1，31-2，…の作

動によって上述のように信号線 12-1, 12-2, …の電位(信号線電位)が中間電位(V_{com})付近にまで回復するため、信号線 12-1, 12-2, …における電位の遷移が2段階になり、1度に遷移する電位幅が半減することになる。このため、信号電荷の大きさに比例する飛び込み電位が半減し、この飛び込み電位による画素電位の変動 ΔV を小さく抑えることができる。この結果、縦クロストークの発生を低減することが可能になる。

【0029】また、この液晶表示装置では、逆極性の画素信号が印加される信号線 12-1, 12-2…のうち、隣接して配置された信号線(12-1, 12-2), (12-3, 12-4), …をショートさせるようにリセットスイッチ 31-1, 31-2, 31-3を設けたことから、リセットスイッチ 31-1, 31-2, 31-3を信号線に接続させるための配線の引き回しによる信号線の容量増加を防ぐことができる。このことから、液晶表示装置の消費電力の削減が図られる。

【0030】さらに、この液晶表示装置では、セレクトスイッチ 16-1, 16-2, 16-3と同様に、リセットスイッチ 31-1, 31-2…も表示領域 10と水平駆動回路 29との間の回路領域 30に配置したことで、これらのスイッチを水平駆動回路 29の出力端子 15の近傍にコンパクトに纏めて配置することができ、またこれらのスイッチを接続するための配線の引回しを小さくできることから、液晶表示装置の額縁 a を小さくすることができる。

【0031】しかも、この液晶表示装置では、リセットスイッチ 31-1, 31-2…を、電流駆動能力の高い多結晶シリコンを用いた TFT 40, 40' からなる CMOS 構成にしたことで、ブランキング期間中に逆極性の信号線を十分にショートさせることができる。

【0032】下記表 1 には、ブランキング期間中に逆極性の信号線を十分にショートさせることが可能な TFT のチャンネル幅とチャンネル長を示した。この表に示すように、非晶質シリコンを用いた TFT では、そのチャンネル幅が $4000\mu m$ 必要となり、この TFT からなるリセットスイッチ 31-1, 31-2…を設けるための回路領域 30 を大きくとる必要が出てくる。これに対して、多結晶シリコンを用いた TFT では、そのチャンネル幅が $400\mu m$ 程度で良いことから、液晶表示装置の額縁 a を必要以上に大きくすることなく、現実的な大きさの範囲に抑えることができる。

【0033】

【表 1】

	チャンネル幅	チャンネル長
非晶質シリコン TFT (移動度 $0.1\text{ cm}^2/\text{V}\cdot\text{SEC}$)	$4000\mu m$	$10\mu m$
多結晶シリコン TFT (移動度 $50.0\text{ cm}^2/\text{V}\cdot\text{SEC}$)	$400\mu m$	$10\mu m$

【0034】(第 2 実施形態) 図 7 は、本発明の第 2 実施形態に係るアクティブマトリックス型の液晶表示装置の要部配線図の一例である。この図に示す液晶表示装置と、第 1 実施形態に係る液晶表示装置との異なるところは、リセットスイッチ 31-1, 31-2…の接続状態にあり、その他の構成は同様であることとする。

【0035】すなわち、第 2 実施形態の液晶表示装置においては、リセットスイッチ 31-1, 31-2…の入力端と出力端が、逆極性の画素信号が印加される信号線(12-1, 12-3, …), (12-2, 12-4, …)のうち、同色の画素信号が印加される最も近い 2 本の信号線(12-1, 12-4), (12-2, 12-5), …に接続されていることを特徴としている。

【0036】また、このような液晶表示装置は、第 1 実施形態の液晶表示装置と同様に駆動させる。

【0037】このような液晶表示装置では、逆極性の画素信号が印加される信号線(12-1, 12-3, …), (12-2, 12-4, …)のうち、同色の画素信号が印加される 2 本の信号線(12-1, 12-4), (12-2, 12-5), …が 1 H 期間のブランキング期間中にショートする。このため、同色の信号線(12-1, 12-4, …), (12-2, 12-5, …), (12-3, 12-6, …)には、コモン電位に対して同程度の電位が印加される。このため、これらの信号線(12-1, 12-4), (12-2, 12-5), …をショートさせた場合に、各信号線 12-1, 12-2, …の電位がコモン電位にかなり近い電位にまで回復するため、次の水平期間で逆極性の画素信号が印加された場合の、色ムラの発生を防止することができる。

【0038】また、同色の画素信号が印加される信号線の中でも、最も近い 2 本の信号線をショートさせることで、配線の引回しによる信号線の容量増加を防ぐことができるため、消費電力の削減を図ることが可能になる。

【0039】尚、以上の説明においては、時分割方式の液晶表示装置を例示して本発明の実施形態とした。しかし、本発明は、ドット反転方式の液晶表示装置であれば、時分割方式に限定されることはなく適用可能であり、同様の効果を得ることができる。

【0040】

【発明の効果】以上説明したように、本発明の液晶表示

装置によれば、逆極性の画素信号が印加された信号線を 1 H 期間のブランキング期間中にショートさせるリセットスイッチを、多結晶シリコンを用いた薄膜トランジスタからなる CMOS 構成にして基板上に設けたことで、1 H 期間のブランキング期間中に、信号線の電位を中間電位付近にまで回復させ、次の 1 H 期間で信号線に印加する画素信号の電位を半減させることが可能になる。この結果、液晶表示装置（特に水平駆動回路）の消費電力を削減することが可能になる。しかも、信号線の電位の遷移幅を半減させて飛び込み電位による画素電位の変動を小さく抑えることができるため、縦クロストークの発生を低減することが可能になる。

【図面の簡単な説明】

【図 1】第 1 実施形態に係る液晶表示装置の要部配線図である。

【図 2】第 1 実施形態に係る液晶表示装置のレイアウト図である。

【図 3】第 1 実施形態に係る液晶表示装置に用いるボト

ムゲート型の TFT の断面図である。

【図 4】第 1 実施形態に係る液晶表示装置に用いるトップゲート型の TFT の断面図である。

【図 5】第 1 実施形態に係る液晶表示装置の駆動を説明するタイミングチャート図である。

【図 6】第 1 実施形態に係る液晶表示装置の効果を説明するタイミングチャート図である。

【図 7】第 2 実施形態に係る液晶表示装置の要部配線図である。

【図 8】従来の液晶表示装置の配線図である。

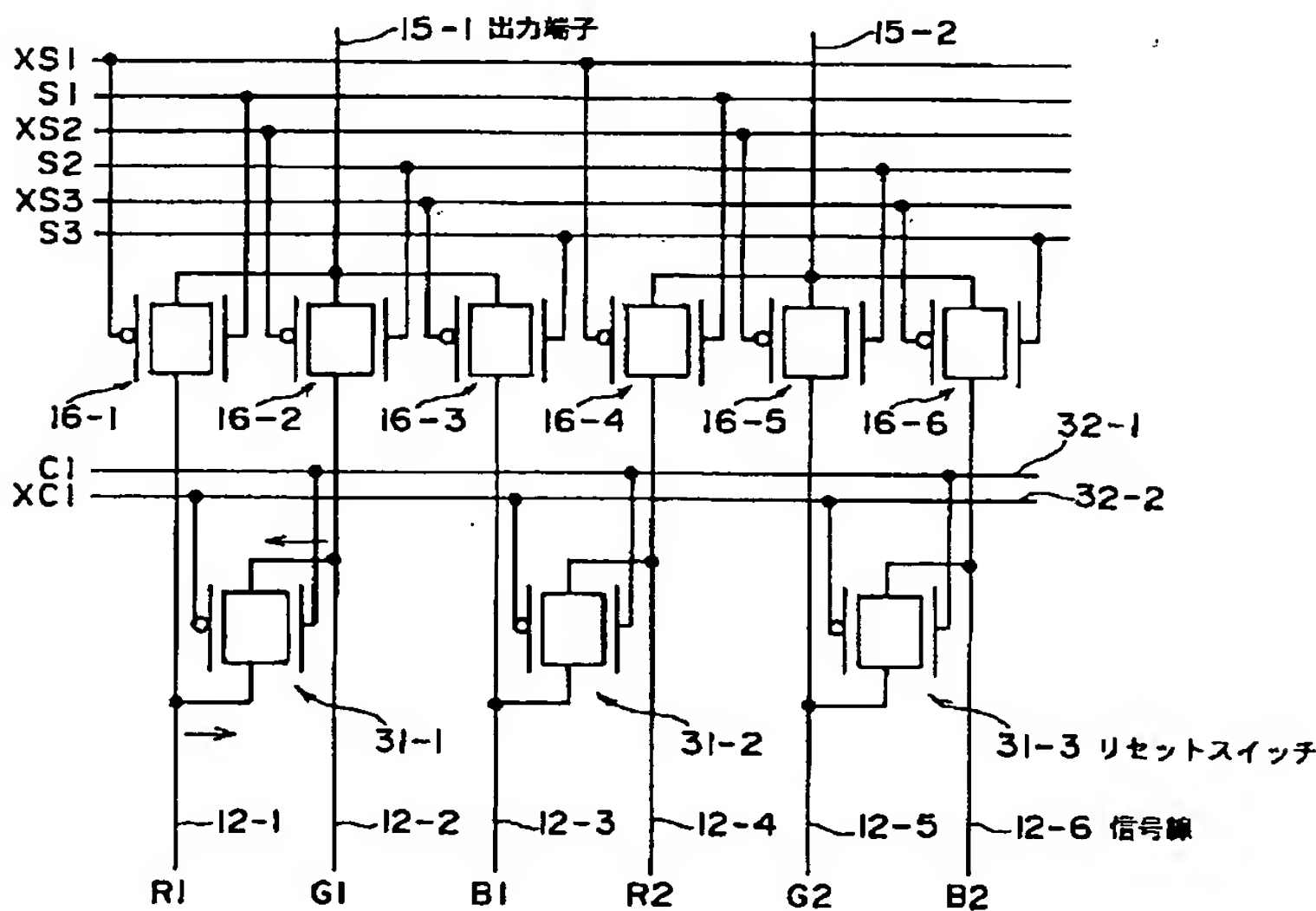
【図 9】従来の液晶表示装置の課題を説明するタイミングチャート図である。

【図 10】従来の液晶表示装置の課題を説明する図である。

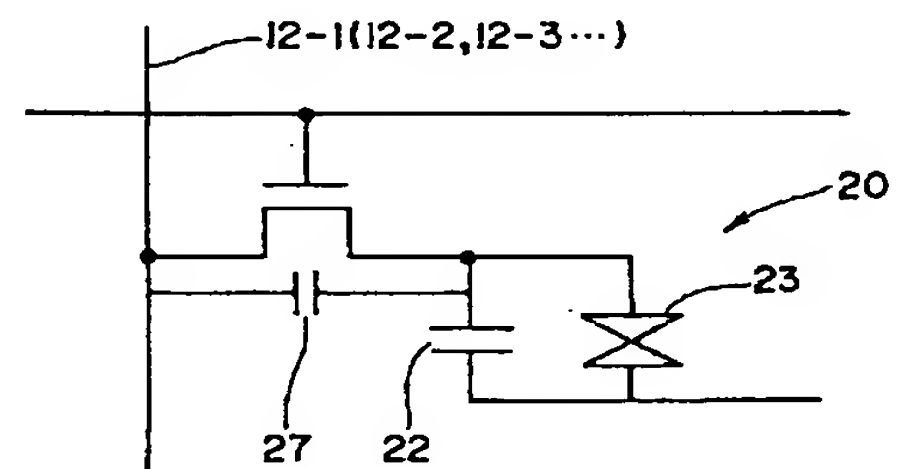
【符号の説明】

1…基板、10…表示領域、12-1, 12-2, …信号線、15-1, 15-2, …出力端子、29…水平駆動回路、31-1, 31-2, …リセットスイッチ

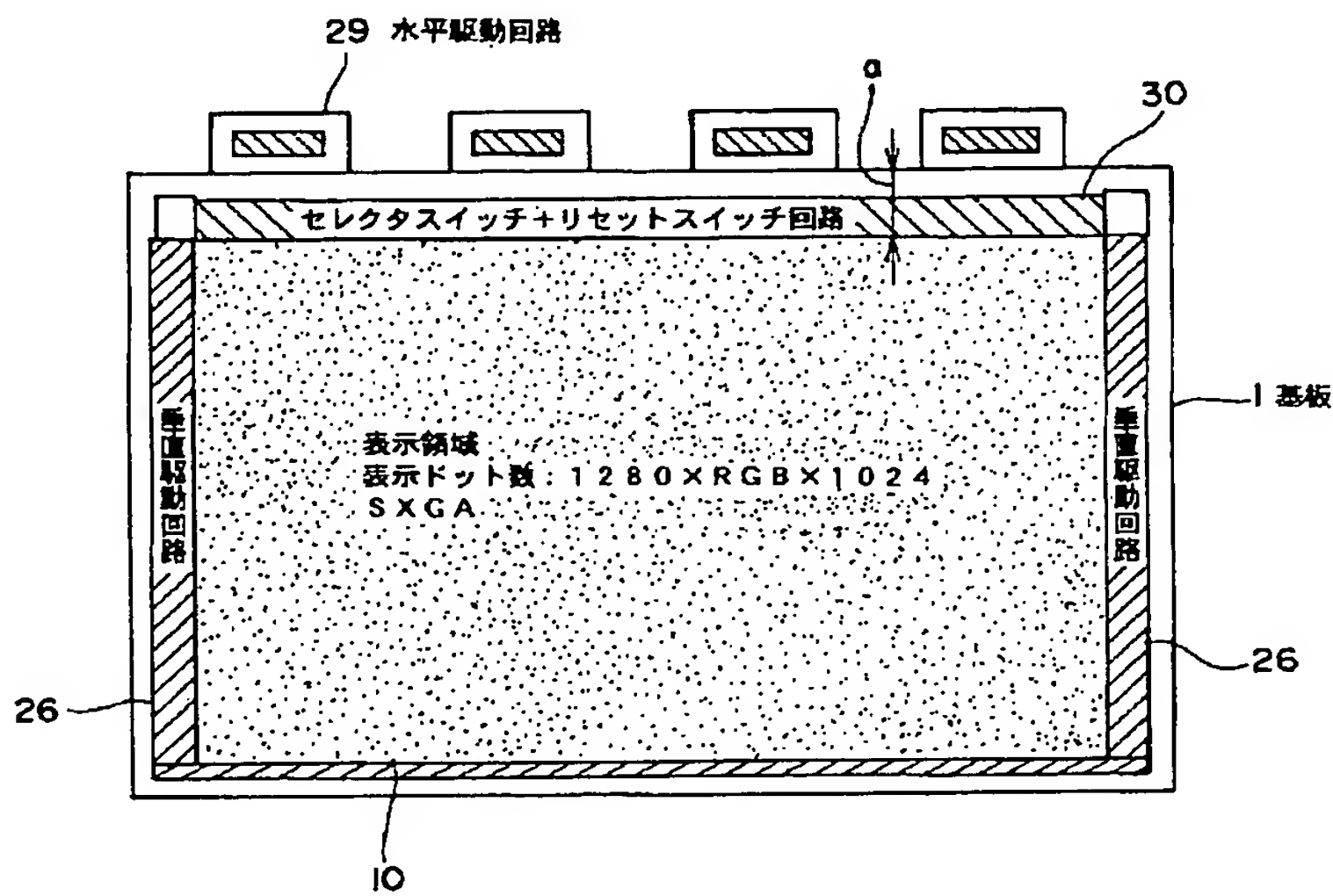
【図 1】



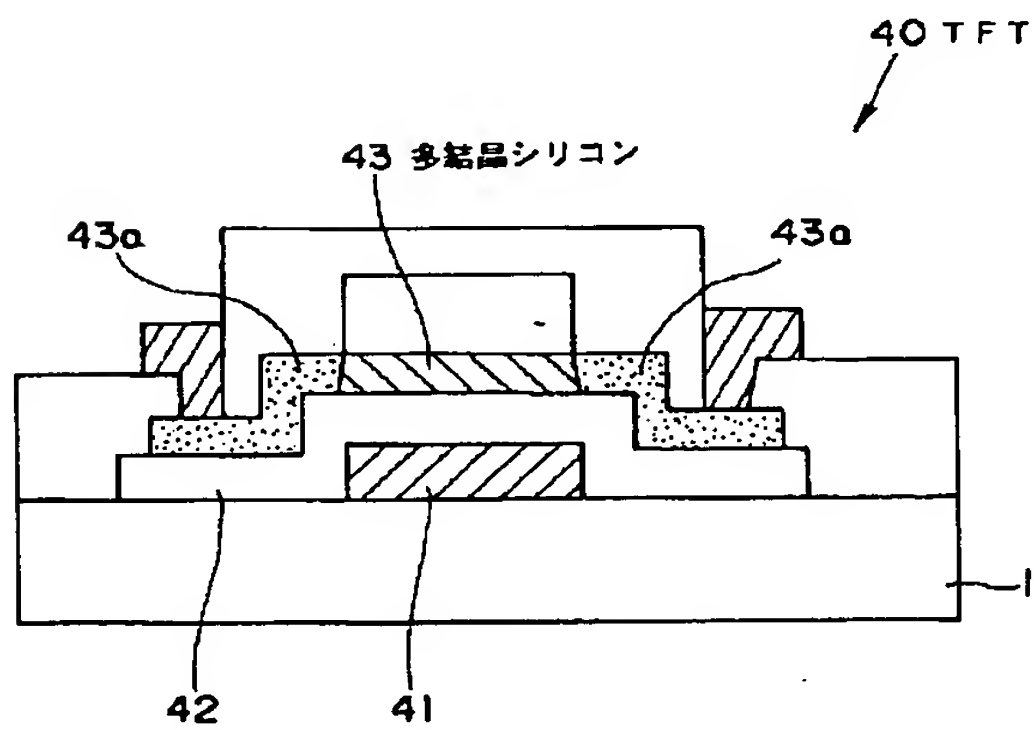
【図 10】



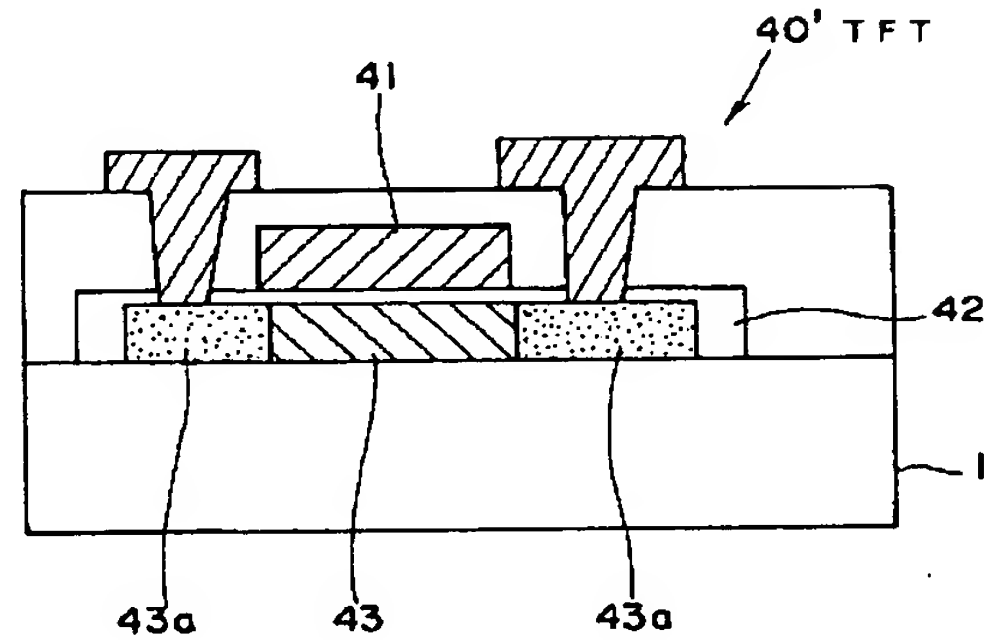
【図2】



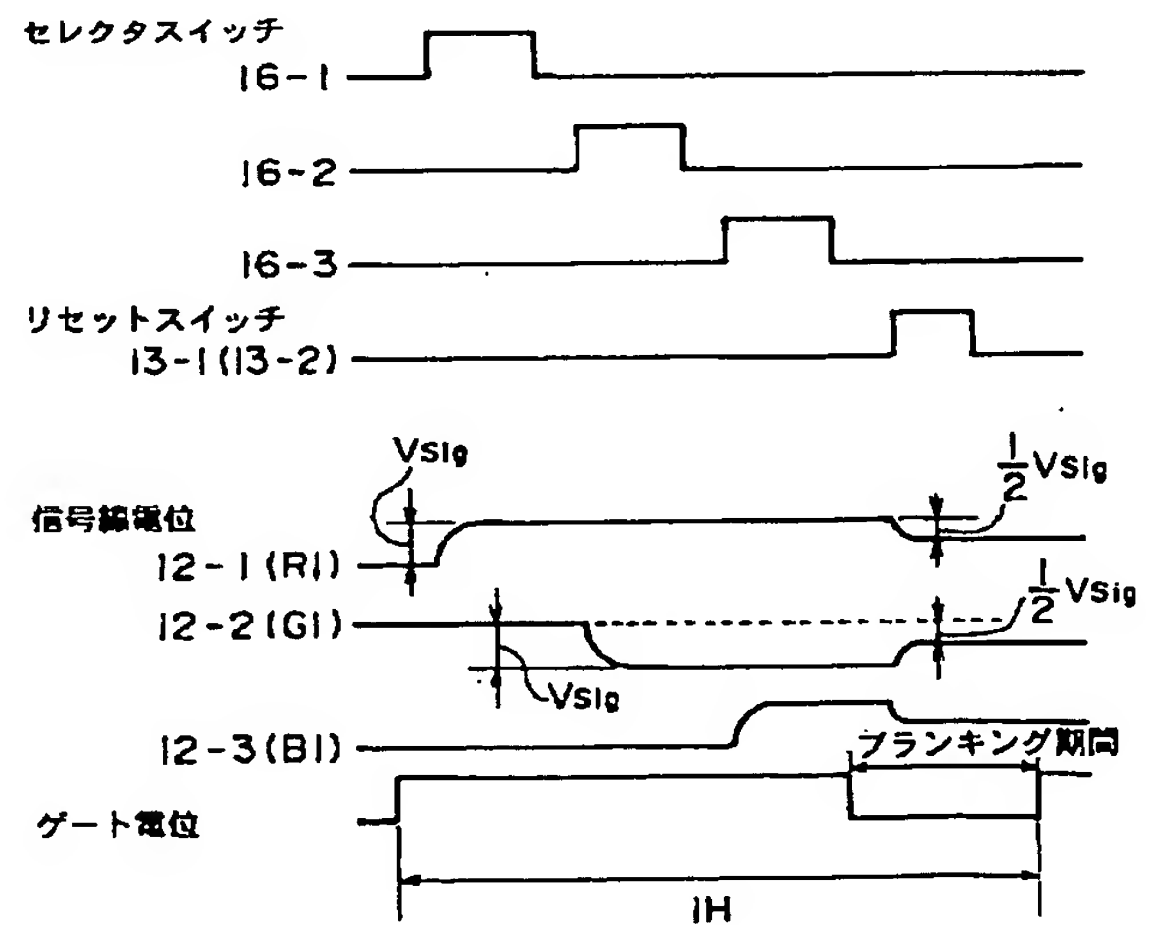
【図3】



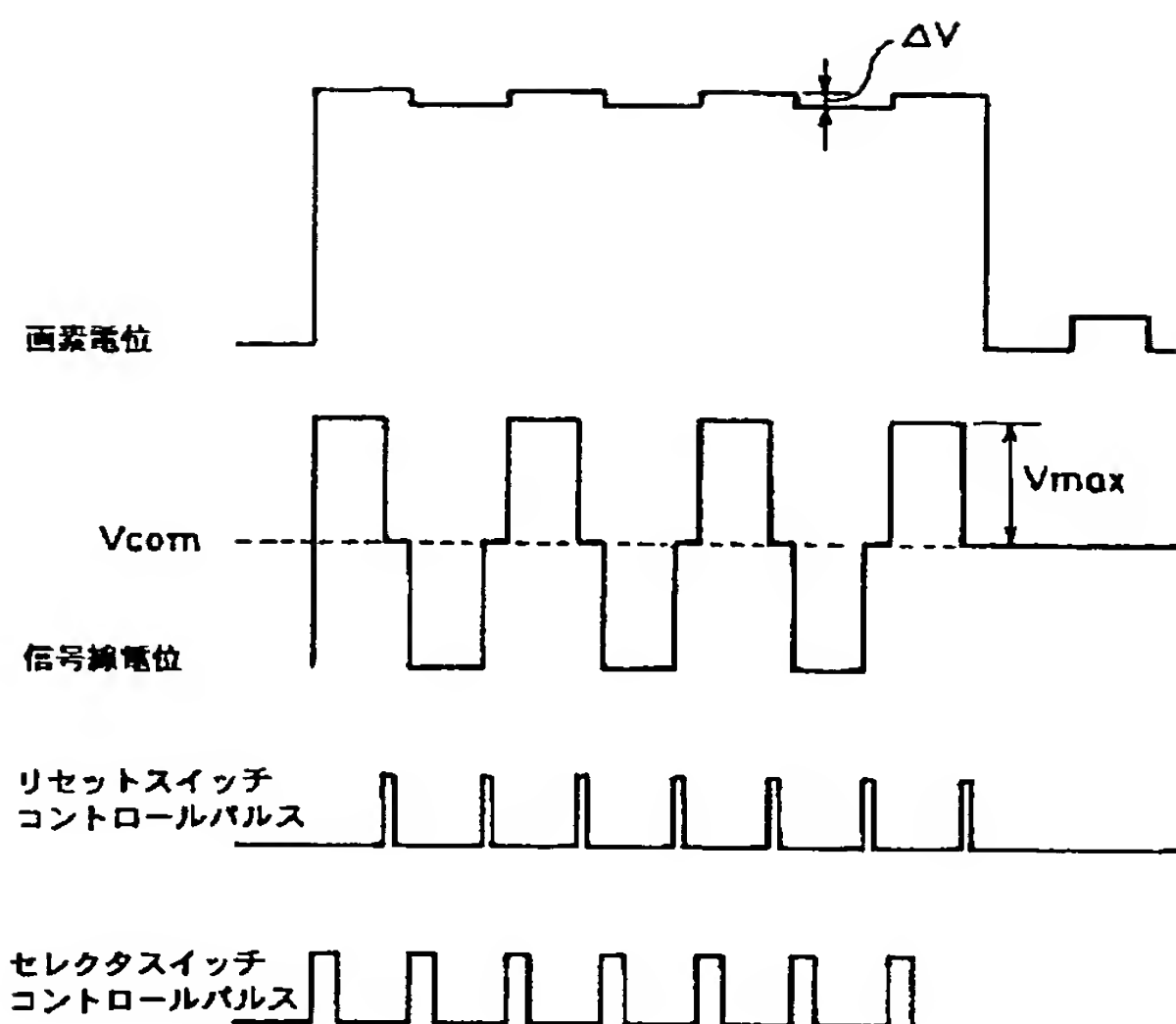
【図4】



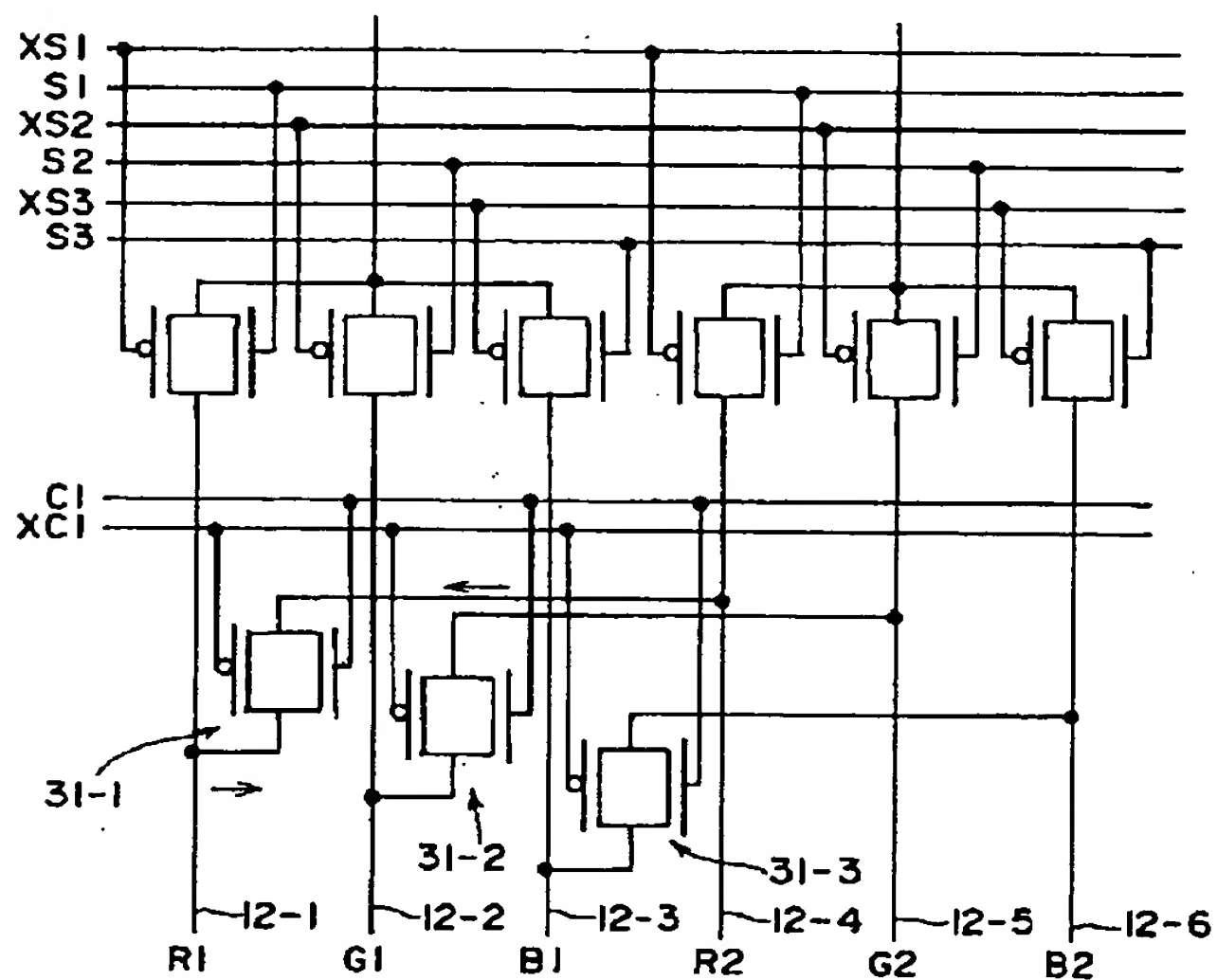
【図5】



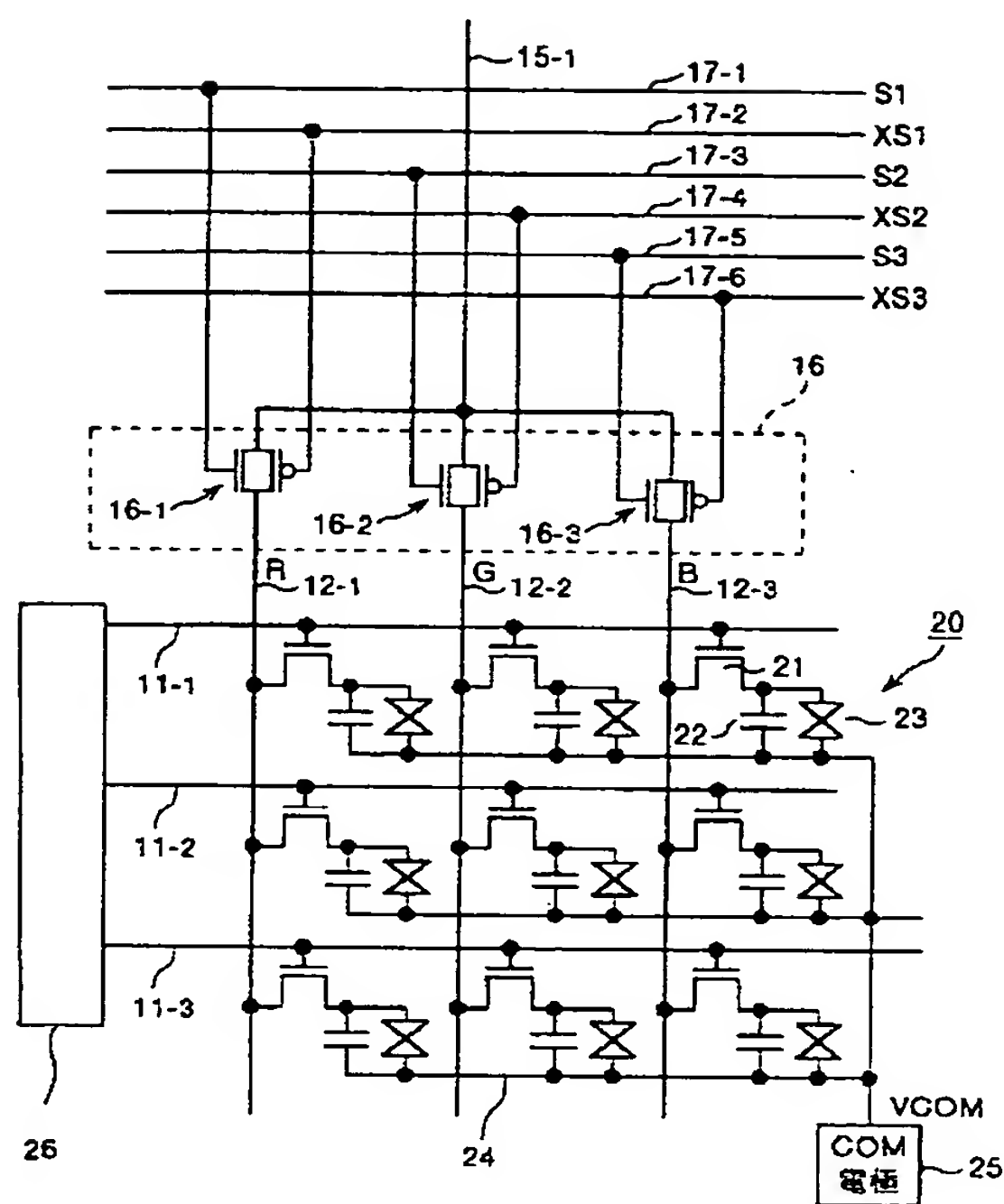
【図6】



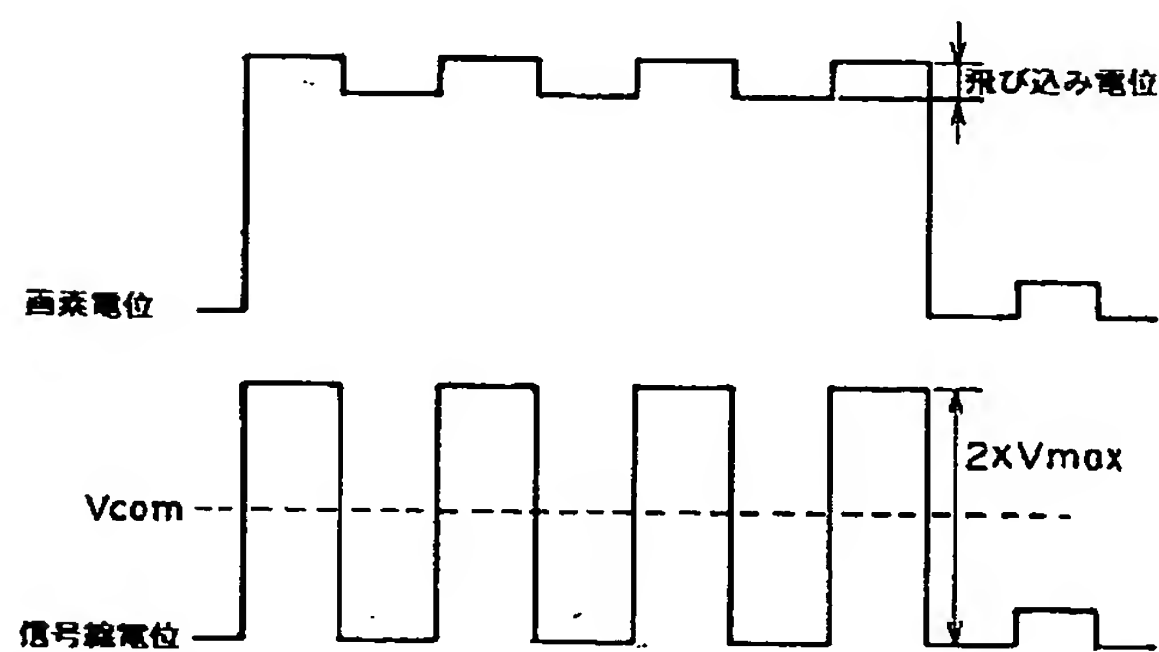
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 2H093 NA16 NA31 NA42 NC34 ND10
ND15
5C006 AA22 AC27 AF42 AF73 BB16
BC03 BC12 BC20 BF24 FA22
FA47
5C080 AA10 BB05 CC03 DD10 DD26
FF11 JJ02 JJ03 JJ04